

# Technologie CMOS (architektura)

**Architektura CMOS** je založena na symetrickém a doplňkovém párování tranzistorů typu P (PMOS) a typu N (NMOS). Tento koncept zajišťuje, že digitální obvody pracují s vysokou efektivitou a odebírají energii téměř výhradně pouze během změny logického stavu (přepínání).

## 1. Základní princip architektury

Každé hradlo v architektuře CMOS je rozděleno na dvě hlavní části (sítě):

- **PUN (Pull-Up Network):** Síť tvořená tranzistory **PMOS**. Je připojena k napájecímu napětí ( $V_{DD}$ ). Jejím úkolem je „vytáhnout“ výstup na logickou 1.
- **PDN (Pull-Down Network):** Síť tvořená tranzistory **NMOS**. Je připojena k zemi ( $GND$ ). Jejím úkolem je „stáhnout“ výstup na logickou 0.

### Klíčové pravidlo:

V libovolném okamžiku (kromě extrémně krátkého přechodového jevu) je **vždy jedna síť rozpojená a druhá spojená**. To znamená, že mezi napájením a zemí nikdy nevznikne přímá cesta pro elektrický proud.

## 2. Logické funkce v CMOS

Architektura CMOS umožňuje snadnou realizaci všech základních logických operací:

### Invertor (Hradlo NOT)

Nejjednodušší architektura: jeden PMOS v horní síti a jeden NMOS v dolní síti.

- **Vstup 0:** PMOS vede, NMOS ne. Výstup je spojen s  $V_{DD}$  (Logická 1).
- **Vstup 1:** NMOS vede, PMOS ne. Výstup je spojen s  $GND$  (Logická 0).

### Hradlo NAND

V síti PUN (horní) jsou tranzistory zapojeny **paralelně**, v síti PDN (dolní) **sériově**.

- Výstup je 0 pouze tehdy, když jsou oba spodní NMOS tranzistory sepnuty (oba vstupy jsou 1).

## Hradlo NOR

V síti PUN jsou tranzistory zapojeny **sériově**, v síti PDN **paralelně**.

- Výstup je 1 pouze tehdy, když jsou oba horní PMOS tranzistory sepnuty (oba vstupy jsou 0).

## 3. Charakteristické vlastnosti architektury

- **Statická spotřeba:** Teoreticky nulová. Ve skutečnosti existuje velmi malý svodový proud (leakage current), ale v porovnání se staršími technologiemi (např. TTL) je zanedbatelný.
- **Dynamická spotřeba:** Energie se spotřebovává pouze při nabíjení a vybíjení parazitních kapacit během přepínání. Proto spotřeba procesorů roste s frekvencí (MHz/GHz).
- **Logické úrovně:** Výstupní napětí dosahuje plných hodnot napájecího napětí nebo země, což zajišťuje vynikající odolnost proti šumu.

## 4. Architektonické výzvy moderní doby

S klesající velikostí tranzistorů (pod 10 nm) naráží klasická CMOS architektura na limity:

- **Short-channel effects:** Tranzistory se stávají hůře ovladatelnými.
- **Tepelná bariéra:** Protože dynamická spotřeba roste s frekvencí, narazili jsme na „zed“ kolem 4–5 GHz, kterou nelze běžně uchládit.
- **Řešení:** Přejít na 3D struktury jako **FinFET** nebo **GAAFET** (Gate-All-Around), které modifikují fyzickou architekturu samotného MOSFETu.

*Související články:*

- [MOSFET - Základní prvek CMOS](#)
- [Digitální logika a hradla](#)
- [Výroba procesorů](#)

*Tagy: hw electronics cmos architecture semiconductor digital-design*

From:  
<https://serviceit.cz/> - IT ENCYKLOPEDIE

Permanent link:  
<https://serviceit.cz/doku.php?id=it:hw:cmos>

Last update: **2026/01/02 18:48**

