

Architektura čipsetů (PCH a SoC)

Architektura čipsetu definuje logické uspořádání a komunikační cesty na základní desce. Zatímco dříve byl čipset rozdělen na dvě části (Northbridge a Southbridge), moderní architektura se soustředí na **PCH (Platform Controller Hub)** a integraci funkcí přímo do **SoC (System on Chip)**.

1. Strukturální rozdělení (Moderní pojetí)

Dnešní systémy využívají asymetrické rozdělení úkolů mezi procesor (CPU) a čipset (PCH):

CPU (Vysokorychlostní zóna)

Procesor v sobě integruje nejdůležitější řadiče, které vyžadují nejnižší možnou latenci:

- **Memory Controller:** Přímé spojení s RAM (DDR5/DDR6).
- **Primary PCIe Lanes:** Obvykle 16 až 24 linek vyhrazených pro GPU a nejrychlejší NVMe disky.
- **Display Engine:** Výstupy pro monitory (HDMI, DisplayPort).

PCH / Chipset (Periferní zóna)

Čipset slouží jako agregátor pro pomalejší nebo početnější rozhraní:

- **Sekundární PCIe linky:** Pro další SSD, zvukové a síťové karty.
- **SATA řadiče:** Pro klasické disky.
- **USB Host Controller:** Správa všech USB portů.
- **Firmware Interface:** Komunikace s čipem BIOS/UEFI.

2. Sběrnice a propojení (Interconnects)

Klíčem k výkonu čipsetu je jeho spojení s procesorem. Pokud je toto spojení úzkým hrdlem, výkon celého PC klesá.

- **DMI (Direct Media Interface):** Proprietární spojení u Intelu. Verze 4.0 x8 nabízí propustnost srovnatelnou s PCIe 4.0 x8.
- **Infinity Fabric / PCIe Link:** U AMD je čipset připojen skrze standardní nebo modifikované PCIe linky, což umožňuje větší flexibilitu při návrhu desek.

3. Logické bloky čipsetu

Uvnitř moderního čipsetu najdeme několik specializovaných logických bloků:

| Blok | Funkce |
|-------------------------------------|---|
| Management Engine (ME / PSP) | Samostatný mikrokontrolér pro zabezpečení a vzdálenou správu. |
| Clock Generator | Synchronizace frekvencí všech komponent na desce. |
| Audio DSP | Základní zpracování zvuku (často ve spolupráci s kodeky Realtek). |
| HDA (High Definition Audio) | Sběrnice pro přenos zvukových dat. |

4. Vliv na AI a datovou propustnost

Pro nasazení [Small Language Models](#) je v architektuře čipsetu zásadní:

- PCIe Bifurcation:** Schopnost čipsetu rozdělit linky tak, aby mohl systém obsloužit více AI akceleratorů současně.
- I/O Virtualizace (VT-d / AMD-Vi):** Architektonická podpora pro mapování paměti, která umožňuje `[[it:nastaveni_gpu_v_dockeru|přímý přístup kontejnerů k GPU]]`.
- Latence PCH:** Rychlost, s jakou čipset přepne data z NVMe disku směrem k procesoru a následně do grafické karty.

Poznámka pro administrátory: Při výběru serverového čipsetu (např. řady Intel W nebo AMD WRX) je nejdůležitějším parametrem **počet dostupných PCIe linek**, nikoliv počet USB portů.

— Související témata:

- [Technické detaily a schémata](#)
- [Standardy PCIe 5.0 a 6.0](#)
- [Hardware pro AI v roce 2026](#)

— **Autor:** @HW_Expert **Poslední revize:** Leden 2026

From:

<https://serviceit.cz/> - IT ENCYKLOPEDIE

Permanent link:

https://serviceit.cz/doku.php?id=it:podrobna_architektura_cipsetu

Last update: **2026/01/04 16:54**

